

「安心できる検証を」、ルネサスが順序回路向け等価性検証ツールを評価

2005/10/11 14:00

LSIのRTL設計の終盤ではタイミング調整が必要になることが頻繁にある。迫る締め切りを前に、設計者は大胆な変更には二の足を踏む。その大きな原因が設計前後の回路の論理機能等価性を検証する有効な手段がなかったことである。

「フリップフロップが変更前後で一致していなくても簡単に等価性を検証できれば、もっと意欲的な設計変更ができるのに」という設計者を見て、どうにかならないとルネサス テクノロジーの浅野哲也氏（製品技術本部 設計技術統括部 システム設計技術開発部 主任技師）は考えていた。そんなときに、米Calypto Design Systems, Inc.の等価性検証ツール「SLEC」のことを聞き、2005年4月から実際のLSI設計データを使って評価を始めた。Calyptoが10月7日に都内で実施したプライベート・セミナーで、同氏は導入の動機を説明して講演を始めた。



講演する浅野哲也氏 日経マイクロデバイスが撮影。

SLECは順序回路のインプリが違うなどシーケンスが異なる論理回路でも、その論理機能等価性をチェックできる論理等価性検証ツールである（[NIKKEI MICRODEVICE, 2005年10月号, pp.61-66参照](#)）。これで動作合成前後の動作レベル記述とRTL記述の等価性や、リタイミングなどのフリップフロップを越えた最適化前後の等価性の検証などが容易に実行できる点が特徴となっている。

今回、浅野氏は三つの評価事例を紹介した。一つはプロセッサ・コアが含むデコーダ・モジュールのリタイミング前後の等価性検証である。論理シミュレーションでは8並列でも3日間かかったが、SLECでは4時間で済んだ。なおSLECの最新版を使えば、11分間にまで短縮できると加えた。二つ目は画像演算モジュールへの適用例で、コンパイルDRAMへのアクセス方式の変更前後での等価性をチェックした。画像演算モジュールの回路規模が大きかったので、全体を五つのモジュールに分けて検証した。論理シミュレータでは約2週間かかる検証がSLECでは3日で済んだ。

この二つの例から、同氏はSLECの効果を確認したと述べた。ただし適用に当たっては、処理時間短縮のために、スクリプト（使うエンジンの指定など）の最適化と、検証対象の分割（大規模回路の場合）が必要した。さらに「シミュレーションでは長い時間をかけても検証の網羅性が基本的に保証できない。一方、フォーマル・ベリファイアのSLECではそれを保証できるという安心感がある」（同氏）とした。

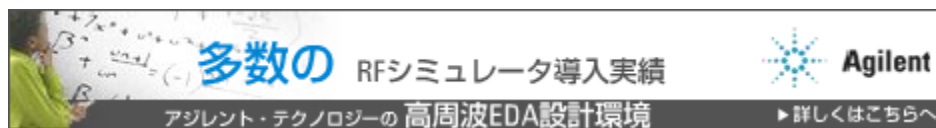
三つ目の事例は、マイコンのバス・コントローラ・モジュールを機能変更した時の例である。機能変更部分は不一致であることを、機能変更していない部分は一致を期待した検証を実行した。SLECはどちらの検証にも成功した。ただし、SLECは等価性を検証するためのツールのため、不一致を一つでも見つけると、そこで処理が終わる。このため、複数の不一致を見つけるには、何度も処理を実行する必要があった。

市販動作合成ツールと連携

今回のプライベート・セミナーでCalyptoは、SLECと米Forte Design Systems, Inc.の動作合成ツール「Cynthesizer」を協調動作させるために、同社と共同開発することになったと発表した（[Calyptoニュース・リリース](#)、[Forteニュース・リリース](#)、[同日本語訳:PDF](#)）。動作合成ツールからフリップフロップの情報などをSLECに送り込むことで、SLECの処理時間を短縮できるなどの効果がある。Calyptoは米Mentor Graphics Corp.の動作合

成ツール「Catapult C Synthesis」との連携も図っている([Tech-On!関連記事](#))。

小島 郁太郎=日経マイクロデバイス



この記事のURL: <http://techon.nikkeibp.co.jp/article/NEWS/20051011/109507/>

Copyright © 1995-2005 Nikkei Business Publications, Inc. All rights reserved.

このページに掲載されている記事・写真・図表などの無断転載を禁じます。著作権は日経BP社、またはその情報提供者に帰属します。