

ニュース リリース

STARC、カリプト社、ビラージロジック社が共同で 業界で最も低消費電力となる新たな設計フローを開発

*40nm 以下の SoC の動的電力とリーク電力を削減する
完全でシームレスな設計フローを三社の技術提携により実現しました*

カリフォルニア州サンタクララ市発 – 2010 年 8 月 24 日 – シーケンシャル・アナリシス技術のリーダーであるカリプト・デザイン・システムズ社 (www.calypto.com) は、本日、ビラージロジック社(ナスダック: VIRT)、および(株)半導体理工学研究センター(STARC; Semiconductor Technology Academic Research Center)との提携により SoC の消費電力が劇的に削減できたことを発表しました。STARC、カリプト社、ビラージロジック社は、それぞれ独立して技術改善を継続的に行うとともに、技術提携に基づく多くの共同開発活動を通して、チップ上で様々な機能モードにより制御される複数の電力ドメインを持つデザインに対して、新たに大幅な電力節減を達成するためのシームレスな設計フローを開発しました。初期の成果では、カリプト社の PowerPro MG とビラージロジック社の SiWare™ Memory コンパイラを使用することにより、組み込み SoC メ

モリの最大 50 パーセントの動的電力の削減と最大 40 パーセントのリーク電力削減が確認されました。

「設計チームは、常にSoCの消費電力を最大限に削減することを心がけています。メモリの消費電力を削減させる自動化フローが無ければ、設計者は手間のかかる解析と最適化を人手で行なう必要があります。」と、STARCの執行役員開発第一部ゼネラルマネージャの西口信行氏は述べています。「カリプト社のPowerPro MGとビラージロジック社のSiWare Memory IPを当社の低消費電力フローに組み込むことによって、設計者は設計時電力目標を達成することができ、リソースを革新的な新製品開発に集中することが出来ます。」

技術提携に関して

カリプト社の特許技術であるシーケンシャル・アナリシス技術に基づく PowerPro MG（メモリ・ゲーティング向け）は、実現可能な最低消費電力のメモリ実装を達成するために、ビラージロジック社の SiWare Memory の低消費電力モードを活用した新しいメモリ・ゲーティング・ロジックを構成します。SiWare Memory はメモリがアクセスされていない時、設計者がリーク電力を減少させることができるように、いくつかの異なる低消費電力モード、すなわちライトスリープ、ディープスリープ、それにシャットダウンのモードを提供します。SiWare メモリ・コンパイラは自動的に PowerPro MG モデル

を生成し、STARC が容易に PowerPro MG を低電力設計フローへ統合することを可能にします。

「STARC は、半導体業界に価値ある革新的な設計フローを提供し続けています。」と、ビラージロジック社 テクニカル・マーケティング・ディレクターのリサ・ミンウエル (Lisa Minwell) 氏は述べています。「半導体業界の信頼のおける IP パートナーかつ組み込みメモリの主要なプロバイダーとして、当社は互いの顧客が最先端の、かつ最高の電力効率の設計をすることを可能にするために、STARC とカリプト社と提携できたことを非常に喜ばしく思います。」

「SoCの主要なIP全てにおいて消費電力を削減することは、今日の競争力ある設計目標の達成に重要です。」と、カリプト社 最高経営責任者のトム・サンドバル (Tom Sandoval) は述べています。「カリプト社、ビラージロジック社、そしてSTARCの間で結ばれた技術提携は、私たちの顧客が競争相手より先に、最先端で、かつ最高の電力効率設計を可能にするための設計手法の劇的な改善には最も効率的な方法です。」

ビラージロジック社について

ビラージロジック社は、複雑な集積回路設計に用いる機能性 IP および物理 IP の両方の半導体 IP (知的設計財産) を提供しています。ビラージロジック社の高度に差別化さ

れた製品ポートフォリオには、プロセッサセントリックソリューション、インターフェース IP ソリューション、組み込み SRAM、組み込み NVM、組み込みテスト&リペア、ロジックライブラリ、メモリ開発ソフトウェアが含まれています。業界で信頼のおける半導体 IP パートナーとして、ビラージロジック社は、400 社以上のファンドリー、IDM、ファブレスの顧客に、高性能、低消費電力、高密度、最適な歩留まりだけでなく、製品化、および量産までの期間短縮を実現し、高い評価を得ています。詳しくは、www.viragelogic.com をご覧ください。

カリプト社について

2002年設立のカリプト・デザイン・システムズ社はその特許のシーケンシャル・アナリシス技術に基づいたクラス最良の消費電力最適化と機能検証ソフトウェアを提供することによって、設計者が高品質で、低消費電力の電子システムを作り出すことを可能にします。カリプト社はフォーチュン500社に入る顧客を全世界に持ち、また、ケイデンス社のコネクション・プログラム、IEEE-SA、シノプシス社のSystemVerilog Catalyst Program、メンター・グラフィックス社のOpenDoor Program、Si2 のメンバーで、Power Forward Initiativeの積極的に参加しています。カリプト社は現在、ヨーロッパ、インド、日本、それに北米の各地域に拠点をもちます。米国本社の所在地は、2933 Bunker Hill Lane,



Suite 202, Santa Clara, Calif. 95054. 電話: (408) 850-2300 です。詳しくは、
www.calypto.com をご覧ください。

本発表に関する詳細については、以下までお問い合わせください。

カリプト・デザイン・システムズ株式会社

マーケティング 山本修作

電話: 045-470-2070

Email: shusaku@calypto.com

住所: 〒222-0033 横浜市港北区新横浜 2-3-4 クレシェンドビル 9F

###

カリプト社、PowerPro、およびSLECはカリプト・デザイン・システムズ社の商標です。その他の製品名および社名はそれぞれの子会社の商標または登録商標である場合があります。