



La définition des variantes au niveau des schémas et du circuit imprimé, la prise en charge de la rétrocompatibilité et l'ordonnement des couches pour l'impression ne sont que quelques-unes des améliorations de l'outil de routage de cartes électroniques P-Cad 2004 d'Altium.

Parmi les autres améliorations liées au système d'exploitation Windows XP, on trouve la disposition de bureau standard et des fonctions familières telles qu'un chargement des dessins par glisser-déposer, des barres d'outils flottantes, ainsi que des boîtes de dialogue non modales et ancrables pour le navigateur de dessins Design Browser et les résultats de la vérification des règles de dessin. EM Designer 4.4, qui est vendu 45 000 dollars, peut également être intégré à l'environnement de conception des circuits imprimés CR-5000 Board Designer. Les utilisateurs de cette solution peuvent désormais exécuter des fonctions de conception électronique en 3D au lieu d'être limités à une simple véri-

fication. Cette prise en charge de la rétrocompatibilité, l'ordonnement des couches pour l'impression, des améliorations apportées aux plans de masse et au routage, en matière de *glossing* et de *hugging* notamment, etc. Ce Service Pack 2 pour

leurs produits pour éditer globalement les attributs de ces paramètres.

Cédric Lardière ■

(*) Les produits OrCad de Cadence Design Systems sont distribués en France par ALS Design.

Vérifier l'équivalence entre implantation RTL et spécifications système

Comme elle l'avait annoncé (*voir notre numéro du 3 février 2005*), la jeune pousse américaine Calypto Design Systems vient d'introduire son premier outil, le SLEC, seul vérificateur d'équivalence séquentiel logique du marché, selon elle. Avec la montée des conceptions vers des abstractions de plus haut niveau, les ingénieurs sont confrontés à la nécessité de vérifier la concordance fonctionnelle entre deux conceptions de circuit intégré, décrites à des niveaux différents d'abstraction et de comportement séquentiel. Pour répondre à ce besoin, l'Américain a développé une technologie hybride, un vérificateur d'équivalence combinatoire traditionnel supportant les conceptions avec des différences séquentielles, telles que

changements de microarchitectures, rééquilibrage de séquençement, modifications d'interfaces. Avantages: un gain de temps en évitant une suite de régressions et une recherche des erreurs difficilement identifiables, voire impossibles à détecter avec les méthodes de simulation classiques. SLEC se présente selon deux versions, l'une pour la vérification entre implantation RTL (VHDL ou Verilog) et spécifications écrites en C/C++ ou SystemC (SLEC System), la seconde pour valider l'équivalence fonctionnelle entre deux versions d'une même conception RTL, dont les architectures et le séquençement sont très différents (SLEC RTL). Une licence annuelle, disponible sous Linux, est vendue 175 000 dollars.

C.L. ■