



**SLEC System**  
Enabling ESL®



**SLEC System-HLS**

SLEC System はタイミング、インターフェイス、それに抽象度の異なるデザインを検証できる業界で唯一の実証されたシーケンシャル等価性チェッカーです。SLEC System はシステムレベルのモデルから RTL 実装へのパスに於いて ESL デザインの検証を容易にし、先進のハードウェア設計フローにとって必要不可欠なフォーマル検証ツールです。

### システムレベル設計フロー

SLEC System は、設計フロー上でリファインされたシステムモデルまたは RTL 実装が元のシステムレベルのモデルに対し、機能上、同一であることを実証します。検証対象となる二つのデザインの両者それぞれにあらゆる可能な入力値を同じく入力し、期待されるすべての時間に渡って、両者で同じ出力が得られることを検証することによって、SLEC System が数分で実行する検証の質は、何年もの間シミュレーションを走らせることに相当すると言えます。

SLEC System はテストベンチやアサーションを必要としないため、技術者は検証環境を開発する時間を大幅に節約でき、より多くの時間を高品質な設計のために費やすことができます。SLEC System は 2 つのシステムレベルのモデル、またはシステムレベルのモデルとそれに対応する RTL 実装の等価性を検証します。SLEC System はタイミング情報の有無に関わらず、C、C++、それに SystemC で書かれたシステムレベルのモデルをサポートします。

SLEC System-HLS は高位合成 (HLS) から生成された RTL を包括的に検証することによって、SLEC System の利点を ESL 設計フローまで拡張します。System-HLS は主要な HLS 合成ツールと統合環境を提供します。

SLEC System と SLEC System-HLS はカリプト社の SLEC 製品ファミリーの一部であり、他に SLEC RTL と SLEC Pro があります。SLEC RTL はクロック・ゲーティング、リタイミング、そして、パイプライン処理などの電力と性能の最適化後のデザインを検証

します。SLEC Pro は PowerPro CG の最適化における包括的フォーマル検証を提供します。PowerPro CG はカリプト社の自動 RTL 電力最適化の製品で、合成可能な RTL デザインを読み込み、低電力の RTL デザインを生成します。SLEC RTL と SLEC Pro の機能は SLEC System に含まれています。

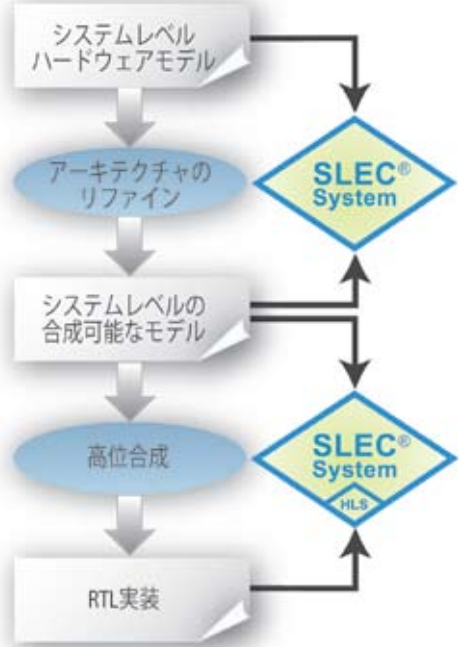
### SLEC システム検証

リファインされたシステムレベルのモデルと RTL 実装とはインタフェースと内部表現が大きく異なります。従来の組み合わせ回路を対象とした等価性チェッカーとは異なり、SLEC System は 1 対 1 のレジスタのマッピングを必要としないので、異なるタイミング、インタフェース、それに異なる抽象度のデザインを検証することができます。

システムレベルのハードウェアモデルが手設計にてシステムレベルの合成可能なモデルへリファインされる時、または、RTL で再コード化される時、機能上のエラーを生じなかったことを確実にするために、SLEC System は何十億サイクル分に相当するシステムレベルの検証をデザインに施すことで、そのデザインの正当性を確認するにも使えます。

SLEC System は 100 万ゲートを超えるデザインブロックをサポートします。ESL 設計フローでは、ブロックレベルのテストベンチはいつも利用できるわけではありません。

SLEC System によって、設計者はブロックレベルの RTL テストベンチを開発せず、あるいは設計全体が組み上がるのを待たずに、RTL ブロックを検証できます。



### 完全な ESL 設計フロー

一度、システムレベルのモデルが検証されたなら、システムレベルのハードウェアモデルがアーキテクチャの詳細とハードウェアのデータ型式を含めるために、リファインされます。SLEC System はリファイン過程を通して、ハードウェアの仕様に変更が無いままであることを保証します。高位合成の後に、RTL 実装がシステムレベルのモデルに一致することを SLEC System-HLS は包括的に検証します。

- 利点**
- テストベンチやアサーションを必要としない検証
  - RTL 設計を検証するためのシステムレベルのモデルの強化
  - 他のツールが見逃すバグを素早く検出
  - 短くて、簡潔なデバッグ・ウェブフォームでバグを分離
  - システムレベルのモデルのリファイン過程で、ハードウェアの仕様に変更が無いままであることを保証
  - 業界の主要な高位レベル合成ツールとの統合
  - 長時間を要するリグレッションのシミュレーションに対し、非常に短時間で検証結果が得られます

## SLEC System の特徴

- タイミング情報の有無に関わらず、システムレベルのモデルをサポート
- 100 万ゲートを超える設計をサポート
- Tcl インターフェイスとバッチモード操作
- デバッグのための波形とテストベンチの反例を生成
- 業界標準のシミュレータとデバッガとの統合
- SLEC RTL と SLEC Pro の機能を包含

## 高位合成設計フロー

SLEC System-HLS は生成された RTL を包括的に検証することが可能であり、これによって長時間を要するテストベンチ開発と RTL シミュレーションを省くことができ、HLS による生産性が更に向上します。

SLEC System-HLS は得られた HLS 結果に対し独立した検証手法であり、得られた RTL がすべてのコーナーケースに於いても検証されているという確信を設計者に与えます。

SLEC System-HLS は検証環境の自動生成、HLS の特定の特徴と言語拡張のサポートによって、主要な HLS ツールとシームレスに統合しています。

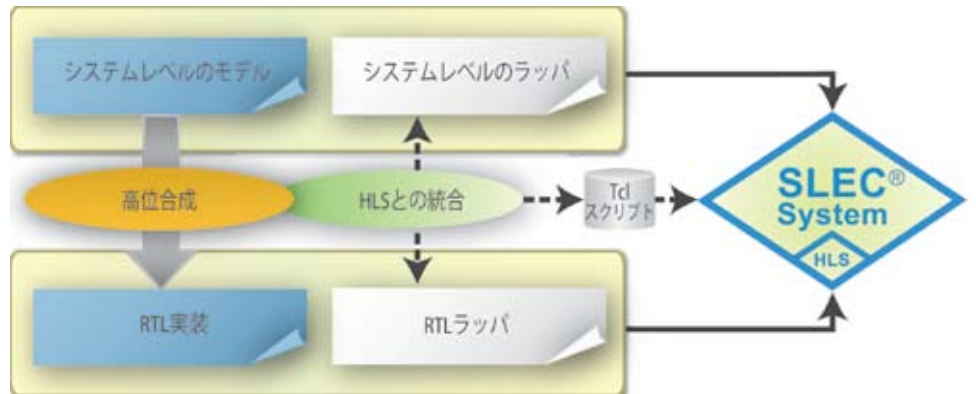
SLEC 検証環境はデザインインターフェイスを並べて、それらをマップするラッパーのほかに、検証をセットアップし、制御する Tcl スクリプトで構成されます。組み合わせ回路に於けるフォーマルな等価性検証が RTL 合成フローに於いて必要条件であるのと同じように、SLEC System-HLS は高位合成設計フローの不可欠な検証ツールです。

SLEC System-HLS は SLEC System の追加のオプションです。SLEC System-HLS ソリューションはケイデンス・デザイン・システムズ社の C-to-Silicon Compiler、フォルテ・デザイン・システムズ社の Cynthesizer、そしてメンター・グラフィックス社の Catapult™ C のための統合環境を含みます。

## 直感的ユーザーインターフェイス

SLEC 検証セットアップは 2 つのデザインと 1 つの Tcl スクリプトを必要とするだけで、とても簡単です。

SLEC Tcl スクリプトはデザインファイル、イ



SLEC System-HLSは高位レベル合成フローにおいて不可欠な検証ツールです。HLSツールとの統合環境は、Tclスクリプトとデザインラッパーの生成を自動化することによって、SLEC検証を容易に可能にします。SLEC System-HLSは生成されたRTLが元のシステムレベルのモデルと機能上、同一であることを包括的に検証します。

ンタフェース・マッピング、リセット条件、それにレーテンシー／スループット・パラメータを確認します。SLECは豊富なTclコマンド・セットを含み、これによってユーザはシークンシャル・コンストレイント、階層構造をベースにしたブラックボックス、そして中間マッピング・ポイントを使って、高度なセットアップを作成することができます。

C/C++ で書かれたタイミング情報の無いシステムレベルのモデルを SLEC にて検証可能にするためには、簡単な SystemC ラッパーが必要になります。このラッパーでは、デザインブロックをインスタンスし、各入出力ポートの比較タイミングを調整するためのクロック信号を用います。

C/C++ の配列とビット精度の RTL メモリ・インターフェースのように大きく異なるインターフェースをマッピングする際にも System C と RTL ラッパーが使用されます。

## 高度なデバッグ

SLEC は、2 つのデザインが同じであると証明するか、または両デザインの設計誤差を例証する数サイクル内（通常 10 入力処理以内）の短くて、簡潔な反例を生成します。設計のバグを再生させるために数千あるいは数百万のサイクルを必要とするかもしれないシミュレーションに比べ、SLEC を使うとシステムのデバッグが速く、効率的です。

この反例は波形またはシミュレーション・テストベンチとして、ユーザが日常使っているシ

ミュレーション環境かデバッグ環境で見ることができます。さらにユーザを補助するために、SLEC はデザインが最初に不一致を生じる時の信号値と時間をログに表示します。

## システム要件と互換性

- 言語：  
VHDL 87/93/97、Verilog 95/2001  
SystemC 2.1
- シミュレータ：  
ModelSim™、VCS®、NCSim™
- デバッガ：  
Verdi™、SignalScan™
- オペレーティングシステム：  
Redhat Enterprise Linux 3.0/4.0
- プラットフォーム：  
32/64 ビット x86 互換ハードウェア
- メモリ：  
2 GB 以上

To learn more, visit [www.calypto.com](http://www.calypto.com)

Calypto Design Systems, Inc.  
2933 Bunker Hill Lane, Suite 202  
Santa Clara, CA 95054  
tel: (408) 850-2300  
fax: (408) 850-2301  
calypto\_info@calypto.com

Calypto Design Systems K.K.  
9F Cresendo Bldg.  
2-3-4 Shin-Yokohama, Kohoku-ku  
Yokohama 222-0033 Japan  
tel: +81 (45) 470-2070  
fax: +81 (45) 470-2079  
calypto\_info\_japan@calypto.com

Calypto Design Systems (I) Pvt Ltd.  
Som Datt Tower, 4th Floor  
K-2, Sector 18  
Noida, U.P. 201301  
tel: +91 (120) 472 1500  
fax: +91 (120) 472 1501  
calypto\_info\_india@calypto.com

© 2010 Calypto Design Systems, Inc.  
Calypto, SLEC, PowerPro and Enabling ESL  
are trademarks of Calypto Design Systems,  
Inc. All other trademarks are property of  
their respective owners.